

IDS REFERENCES



FOR



(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年5月10日 (10.05.2001)

PCT

(10) 国際公開番号
WO 01/33351 A1

(51) 国際特許分類6: G06F 9/46, 9/38, 15/16, 1/04

(TSURUTA, Toru) [JP/JP]. 熊本乃親 (KUMAMOTO, Norichika) [JP/JP]. 吉沢英樹 (YOSHIZAWA, Hideki) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP99/06030

(74) 代理人: 伊東忠彦 (ITO, Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

(22) 国際出願日: 1999年10月29日 (29.10.1999)

(81) 指定国(国内): JP, US.

(25) 国際出願の言語: 日本語

添付公開名類:
— 国際調査報告書

(26) 国際公開の言語: 日本語

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(71) 出願人(米国を除く全ての指定国について): 富士通

株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神

奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa

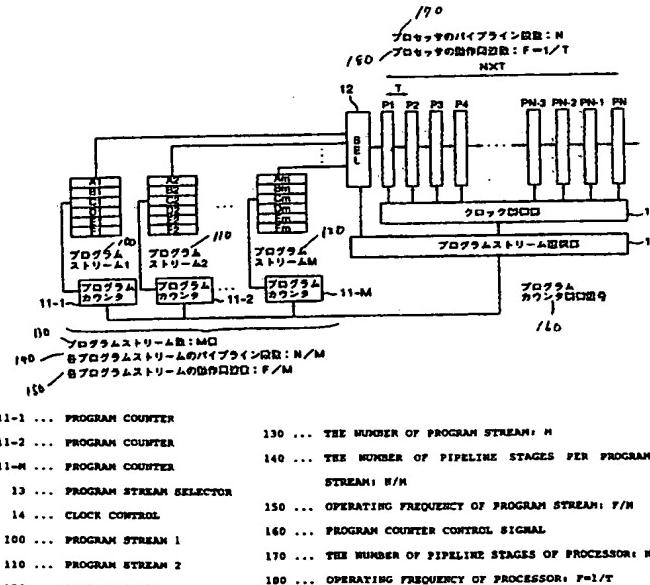
(JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 鶴田 橙

(54) Title: PROCESSOR ARCHITECTURE

(54) 発明の名称: プロセッサーアーキテクチャ



WO 01/33351 A1

(57) Abstract: A processor architecture comprises a program counter for executing M independent program streams on an instruction basis in timesharing manner, an N-stage pipeline shared by the program streams and operable at a frequency F, and a unit for executing the only S program streams in accordance with the operation performance required. The processor architecture are built up of M processors having an operating frequency of F/M connected in parallel, where M and N are mutually dependent integers that are equal to or greater than 1, S is an integer that is equal to or greater than 0 and satisfies S≤M, and N/M is the number of stages viewed from each program stream.

[統葉有]



(57) 要約:

プロセッサーアーキテクチャは、独立したM個のプログラムストリームを1命令単位に時分割で実行するプログラムカウンタと、各プログラムストリームで共有化されると共に、周波数Fで動作可能なN段のパイプラインと、要求される演算性能に応じたS個のプログラムストリームのみを実行する機構とを備え、M, Nは夫々互いに依存関係がない1以上の整数であり、Sは $S \leq M$ を満足する0以上の整数であり、各プログラムストリームから見た該パイplineの段数を N/M として、動作周波数 F/M のプロセッサをM個並列構成する。

明細書

プロセッサーアーキテクチャ

5 技術分野

本発明はプロセッサーアーキテクチャに係り、特に多段パイプライン構成のプロセッサーアーキテクチャに関する。

背景技術

10 近年、多くのプロセッサは、多段パイプライン構成を有し、命令の実行レイテンシは大きいものの、スループットを1サイクルとすることで、高い演算性能を実現している。つまり、スループットが1サイクルであると、1秒間に動作周波数 (MHz) 分の命令を実行できることと等価になるので、パイプラインを分割して1段分の遅延時間を小さくする手法が採用されている。

15 図1及び図2は、このようにプロセッサのパイプラインを分割する手法を説明する図である。図1及び図2中、(a)は多段パイプライン構成を示し、(b)は命令レイテンシを示す。図1及び図2の(a)において、P1～PN, p1～pnはパイプラインを示し、A～Fは1つのプログラムストリームを示す。又、図1及び図2の(b)において、縦軸はパイプライン、横軸は時間を示す。

20 図1は、パイプライン段数がN、動作周波数が $1/T$ 、演算性能が1である場合を示し、命令レイテンシはNサイクルである。他方、図2は、パイプラインの段数を図1の2倍(又は、パイプラインの周期を $1/2$)にした場合を示す。図2の場合、パイプライン段数は2N、動作周波数は $2/T$ 、演算性能は2、命令レイテンシは2Nサイクルである。

25 しかし、多段パイプライン構成のプロセッサは、条件付き分岐命令等を実行した場合に、分岐命令直後の数命令が分岐するしないに関わらず必ず実行され、その命令数はパイプラインの段数に比例する。本明細書では、この減少を「ディレイドジャンプ」と呼び、実行されてしまう命令の数を「ディレイ数」と呼ぶ。このディレイドジャンプがデメリットとなる理由は、分岐命令直後の数命令に

- 対して、ソフトウェア開発者がアセンブラーで記述しても有効な命令を実装できる確率が低く、更に、C言語等の高級言語を用いて開発した場合にはコンパイラに依存し、有効な命令を実装できる確率はより低くなる傾向にあるからである。つまり、有効な命令が実装できないということは、無効な命令であるノーオペレーション (NOP : No Operation) を実装することになり、この結果演算を実行できないサイクルが発生してプロセッサの実効性能が低下してしまう。言い換えると、パイプライン段数を増やすと、ディレイドジャンプのディレイ数が増加し、有効な命令を実装できないサイクルが増えるため、効率的な命令コードを作成できなくなる。
- 命令コードの最適化を図る上では、パイプライン段数は少ない方が有利であるが、パイプライン段数を増やせば動作周波数を高くすることができる所以、前者と後者とのトレードオフを考慮して、大半のプロセッサでは後者を採用している。更に、パイプラインの細分化には限度があるため、近年のプロセッサの高性能化のための動作周波数向上の手法は、デバイス技術の進歩による動作速度の改善に頼る傾向にある。

そこで、ディレイドジャンプのディレイ数を少なくし、命令コードの最適化を図りつつ、高性能なプロセッサを実現することが求められている。上記の問題及び要望に鑑み、高性能なディジタルシグナルプロセッサ (DSP) アーキテクチャが、例えばLee他による「Pipeline Interleaved Programmable DSP's: Architecture」, IEEE Trans. Acoust., Speech, Signal Processing, Vol. 35, No. 9, Sept. 1987にて提案されている。このDSPアーキテクチャでは、多段パイプラインを有するDSPに対して、複数のプログラムストリームを時分割（インタリーブ）実行することで、パイプラインの共有化を実現することができる共に、各プログラムストリームから見たパイプライン段数を小さくする効果があると報告されている。

近年、DSPの高性能化が進み、DSPの応用範囲は音声処理等に限られず、膨大な情報量を扱う画像処理等へも応用されている。このため、比較的低い性能から非常に高い性能までの、広い性能範囲で各種プロセッサが要求されている。

高性能なプロセッサの場合、当然のことながら、低い要求性能の音声処理等も十分に実行できる。しかし、高性能なプロセッサの場合、性能が高い分だけ消費電力も高く、低い要求性能の音声処理等を実行した場合の消費電力が、低性能なプロセッサで同じ処理を実行した場合と比較すると、かなり高くなってしまうと
5 いう問題があった。

発明の開示

そこで、本発明は、要求性能に合わせてプログラムストリームを実行することで、消費電力を要求性能に応じて低減可能なプロセッサーアーキテクチャを提供する
10 ことを概括的目的とする。

本発明のより具体的な目的は、独立したM個のプログラムストリームを1命令
15 単位に時分割で実行するプログラムカウンタと、各プログラムストリームで共有化されると共に、周波数Fで動作可能なN段のパイプラインと、要求される演算性能に応じたs個のプログラムストリームのみを実行する機構とを備え、M、
Nは夫々互いに依存関係がない1以上の整数であり、sはs≤Mを満足する0以上
20 の整数であり、各プログラムストリームから見た該パイプラインの見かけ上の段数をN/Mとして、見かけ上動作周波数F/MのプロセッサをM個並列構成する
25 プロセッサーアーキテクチャを提供することにある。

この場合、プロセッサーアーキテクチャは、各プログラムストリームの起動、停止及び切替を動的に実行する機構を更に備えても良い。又、前記機構は、前記パイプラインの各段に供給するクロックを、実行不要な(M-s)個のプログラム
30 ストリームに割り当てられたサイクルにおいてマスクするクロック制御部を含んでも良い。

本発明の他の目的は、独立したM個のプログラムストリームを1命令単位に時
35 分割で実行するプログラムカウンタと、各プログラムストリームで共有化されると共に、周波数Fで動作可能なN段のパイプラインと、1つの命令をQ個の並列命令に展開する命令展開部と、要求される演算性能に応じてMサイクル毎に1個のプログラムストリームを実行し、残りの(M-1)サイクルではQ個の並列命令を選択的に実行する機構とを備え、M、Nは夫々互いに依存関係がない1以上

の整数であり、Qは $Q \leq M$ を満足する1以上の整数であり、各プログラムストリームから見た該パイプラインの見かけ上の段数を N/M として、見かけ上動作周波数 F/M のプロセッサをM個並列構成するプロセッサーアーキテクチャを提供するにある。

- 5 この場合、プロセッサーアーキテクチャは、各プログラムストリームの起動、停止及び切替を動的に実行する機構を更に備えても良い。又、sは $s \leq M$ を満足する0以上の整数とすると、前記機構は、前記パイプラインの各段に供給するクロックを、実行不要な($M-s$)個のプログラムストリームに割り当てられたサイクルにおいてマスクするクロック制御部を含んでも良い。更に、sは $s \leq M$ を満足する0以上の整数とすると、前記機構は、前記パイプラインの各段に供給するクロックを、実行不要な($M-s$)個のプログラムストリームに割り当てられたサイクルにおいて前記Q個の並列命令を連続実行する時のみ供給し、局所的に命令の高速実行を行う構成としても良い。

- 15 上記各プロセッサーアーキテクチャにおいて、前記パイプラインの各パイプラインステージは、入力データを記憶保持するモードと、入力データをバイパスして出力するモードとを有する記憶素子を含む構成としても良い。

- 更に本発明の他の目的は、周波数Fで動作可能なN段のパイプラインと、1個のプログラムストリームを実行する際に、要求される演算性能に応じて命令をSサイクル毎に投入すると共に、命令が投入されない残りのサイクルでは該パイプラインに供給されるクロックをマスクする機構とを備え、N, Sは互いに依存関係がない1以上の整数であり、各プログラムストリームから見た該パイプラインの見かけ上の段数を N/S として、見かけ上動作周波数 F/S のプロセッサを構成するプロセッサーアーキテクチャを提供することにある。

- この場合、前記パイプラインの各パイプラインステージは、入力データを記憶保持するモードと、入力データをバイパスして出力するモードとを有する記憶素子を含み、前記機構は、前段のパイプラインステージと結合できるパイプラインステージ内の記憶素子へのクロックの供給をマスクするようにしても良い。

尚、上記各プロセッサーアーキテクチャにおいて、前記パイプラインは、アクセスレイテンシがLサイクルであり、動作周波数がFであると共に、パイプライン

的な連続アクセスが可能なメモリを含み、1つのプログラムストリームにおけるメモリアクセスレイテンシが L/M であり、 $L \geq 1$ であっても良い。

更に、上記各プロセッサーアーキテクチャにおいて、前記パイプラインは、アクセスレイテンシが L サイクルであり、パイpline的な連続アクセスが可能なメモリを、各プログラムストリームに対して独立して M 個含み、 $L \geq 1$ であっても良い。

本発明によれば、要求性能に合わせてプログラムストリームを実行することで、消費電力を要求性能に応じて低減可能なプロセッサーアーキテクチャを実現することができる。

10

図面の簡単な説明

- 図1は、従来のパイpline分割手法を説明する図、
図2は、従来のパイpline分割手法を説明する図、
図3は、本発明になるプロセッサーアーキテクチャの第1実施例を示す図、
15 図4は、全てのプログラムストリームを動作させた場合を説明する図、
図5は、1つのプログラムストリームのみを動作させた場合を説明する図、
図6は、第1実施例において $M=2$ の場合を説明する図、
図7は、 $M=2$ の場合のプログラムストリーム1の動作状況を説明する図、
図8は、 $M=2$ の場合のプログラムストリーム2の動作状況を説明する図、
20 図9は、本発明になるプロセッサーアーキテクチャの第2実施例を示す図、
図10は、並列命令の動作状況を説明する図、
図11は、並列命令動作時のクロック制御状況を説明する図、
図12は、本発明になるプロセッサーアーキテクチャの第3実施例を示す図、
図13は、本発明になるプロセッサーアーキテクチャの第4実施例を示す図、
25 図14は、本発明になるプロセッサーアーキテクチャの第5実施例を示す図、
図15は、本発明になるプロセッサーアーキテクチャの第6実施例を示す図、
図16は、プログラムストリームを S サイクル毎に動作させた場合のクロック制御状況を説明する図、
図17は、本発明になるプロセッサーアーキテクチャの第7実施例の要部を示す

図、

図18は、2／3のパイプラインステージがバイパスモードで動作した時のクロック制御状況を説明する図である。

5 発明の実施するための最良の形態

以下、図3以降と共に、本発明になるプロセッサーアーキテクチャの各実施例を説明する。

図3は、本発明になるプロセッサーアーキテクチャの第1実施例を示す図である。同図に示すプロセッサは、プログラムカウンタ11-1～11-M、セレクタ1
10 2、プログラムストリーム選択部13及びクロック制御部14からなる。

プログラムストリーム選択部13は、各プログラムストリーム1～Mの起動、停止、切替を動的に制御する機能を有する。プログラムストリーム1～Mの起動時には、プログラムストリーム選択部13は、プログラムカウンタ11-1～1
15 1-Mにプログラム制御信号を供給してこのプログラム制御信号に応答して初期値をロードさせると共に、セレクタ12に制御信号を供給してプログラムストリーム1～Mを順次選択してパイプラインP1～PNに供給させる。又、プログラムストリーム選択部13は、クロック制御部14に対して制御を行い、パイプラインP1～PNに供給するクロックのマスクを解除させる。尚、M、Nは夫々
1以上の任意の整数であり、MとNとの間に依存関係はない。

20 プログラムストリーム1～Mの停止時には、プログラムストリーム選択部13は、クロック制御部14に対して制御を行い、パイプラインP1～PNに供給するクロックのマスクをセットさせる。又、プログラムストリーム1～Mの切替時には、プログラムストリーム選択部13は、プログラムカウンタ11-1～11
25 -Mにプログラム制御信号に応答して新たな値をロードさせると共に、クロック制御部14に対して制御を行い、パイプラインP1～PNに供給するクロックのマスクを解除させる。

プログラムストリーム選択部13によるこのような制御は、プログラムストリーム1～M毎に対して独立に行われる。この場合、プログラムストリーム数はM、各プログラムストリーム1～Mから見た（以下、見かけ上と言う）パイプラ

イン段数は N/M 、各プログラムストリーム $1 \sim M$ の見かけ上の動作周波数は F/M 、プロセッサのパイプライン段数は N 、パイplineの周期は T 、プロセッサの動作周波数は $F = 1/T$ である。

図4は、プログラムストリームの動作状況を説明する図であり、全てのプログラムストリーム $1 \sim M$ を動作させた場合を示す。この場合、プロセッサの動作周期は $M \times T$ であり、命令レイテンシはMサイクルである。他方、図5は、プログラムストリームの動作状況を説明する図であり、1つのプログラムストリーム 1 のみを動作させた場合を説明する図である。この場合も、プロセッサの動作周期は $M \times T$ であり、命令レイテンシはMサイクルである。尚、プロセッサに要求される演算性能に応じて実行するプログラムストリームの数 s は、 $s \leq M$ を満足する0以上の整数であれば良い。

つまり、本実施例は、多段パイプライン構成を有し、パイpline $P_1 \sim P_N$ に対してプログラムカウンタ $11-1 \sim 11-M$ が独立した複数のプログラムストリーム $1 \sim M$ を1命令単位で時分割に実行することで、パイpline $P_1 \sim P_N$ の共有化を実現する。このため、各プログラムストリーム $1 \sim M$ から見たパイpline段数を小さくできると共に、必要とされる演算性能を考慮して、動作不要なプログラムストリームに割り当てられたサイクルのクロックをマスクすることで、省電力化を実現できる。

動作周波数 F で実行できる N 段のパイpline $P_1 \sim P_N$ の場合、单一のプログラムストリームしか実行しなければ、この单一のプログラムストリームにとってパイpline段数は N 段となる。しかし、本実施例では、 M 個のプログラムストリーム $1 \sim M$ を1命令単位で時分割に実行するため、図4に示すように、 M サイクル単位に各プログラムストリーム $1 \sim M$ が実行される。

この結果、 M サイクル単位で各プログラムストリーム $1 \sim M$ が実行され、プログラムストリーム $1 \sim M$ 毎のパイpline段数は N/M 段と少なくでき、命令コードの最適化を容易に実現できる。更に、並列プロセッサシステムとして、動作周波数 F/M のプロセッサを M 個並列に動作させることができるために、单一プログラムストリームを実行した場合と比較すると、命令コードの最適化との相乗効果により、プロセッサの演算性能を向上することが可能となる。

又、全ての演算性能を必要としない場合、M個全てのプログラムストリーム1～Mを実行する必要はない。そこで、必要な演算性能を実現するのに必要なプログラムストリームだけを実装して、不必要的プログラムストリームに割り当てられたサイクルのクロックをマスクして、省電力を実現する。つまり、図5に示す5 ように、アプリケーションに適した演算性能及び消費電力を選択可能である。

図6は、第1実施例においてM=2の場合を説明する図である。同図中、図3と同一部分には同一符号を付し、その説明は省略する。又、プログラムカウンタの図示は省略する。

この場合、プログラムストリーム数は2、各プログラムストリーム1, 2のパイプライン段数はN/2、各プログラムストリーム1, 2の動作周波数はF/2、プロセッサのパイプライン段数はN、パイプラインの周期はT、プロセッサの動作周波数はF=1/Tである。
10

図7は、M=2の場合のプログラムストリーム1の動作状況を説明する図である。又、図8は、M=2の場合のプログラムストリーム2の動作状況を説明する15 図である。この場合、プロセッサの動作周期は2×Tであり、命令レイテンシは2Nサイクルである。つまり、命令レイテンシが2Nのプロセッサ2個が並列実行を行うことになる。

更に、アプリケーションシステム別には、以下の如き対応を取ることで、最適なマイクロプロセッサ構成を実現できる。

20 第1に、信号処理等の高い演算性能が必要とされるシステムを構成する場合には、図3に示すように、各タスクを独立したプログラムストリームで実行することで、高い演算性能を実現できる。又、各タスクは独立に実行可能であるため、タスクが互いに干渉して実行性能を低下させるようなこともない。

第2に、オペレーティングシステム(OS)を搭載した端末システムを構成する25 場合には、1つのプログラムストリームにはOSを実装し、他のプログラムストリームには必要に応じたプログラムを実装することで、マルチタスクを実現できる。又、実行する必要のないプログラムストリームに割り当てられたサイクルでは、クロックをマスクすることで、省電力化を実現できる。つまり、図5からもわかるように、M個のプログラムストリームを時分割に実行する場合、OSだ

けが 1 個のプログラムストリームで実行されていれば、M 個のプログラムストリーム全てを実行する場合の約 $1/M$ の消費電力となる。更に、OS は自由にタスクの追加や削除を行うことができるので、消費電力も動作しているタスク数に比例して適応的に制御可能となる。

- 5 第 3 に、低い演算性能で十分であり、且つ、省電力化が求められるシステムを構成する場合には、OS だけが 1 個のプログラムストリームで実行されている場合と同様に、M 個のプログラムストリーム全てを実行する必要はない。従って、必要な演算性能を満足するのに十分なプログラムストリームだけを実装し、不必要的プログラムストリームに割り当てられたサイクルのクロックをマスクすることで、省電力化を実現できる。つまり、アプリケーションに適した演算性能及び消費電力を選択することができる。
- 10

図 9 は、本発明になるプロセッサーアーキテクチャの第 2 実施例を示す図である。同図に示すプロセッサは、プログラムカウンタ 11、命令展開部 21、セレクタ 22、プログラムストリーム選択部 23 及びクロック制御部 24 からなる。

- 15 プログラムストリーム選択部 23 は、1 つのプログラムストリーム 1 の起動、展開、切替を動的に制御する機能を有する。プログラムストリーム 1 の起動時には、プログラムストリーム選択部 23 は、プログラムカウンタ 11 にプログラム制御信号に応答して初期値をロードさせる。

20 プログラムストリーム 1 の展開時には、命令展開部 21 は、プログラムストリーム 1 の 1 命令を Q 並列の命令に拡張して、セレクタ 22 に供給する。又、プログラムストリーム選択部 23 は、セレクタ 22 に命令展開部 21 からの Q 並列の命令を順次選択してパイプライン P1～PN に供給させるように、セレクタ 22 に制御信号を供給する。更に、プログラムストリーム選択部 23 は、クロック制御部 24 に対して制御を行い、命令展開部 21 からの命令並列度情報に基づいてパイプライン P1～PN に供給するクロックのマスクをセットさせる。

25

プログラムストリーム 1 の切替時には、プログラムストリーム選択部 23 は、プログラムカウンタ 11 にプログラム制御信号に応答して新たな値をロードさせると共に、クロック制御部 24 に対して制御を行い、パイプライン P1～PN に供給するクロックのマスクを解除させる。

プログラムストリーム選択部 2 3 によるこのような制御は、プログラムストリーム 1 に対して行われる。この場合、プログラムストリーム数は 1、プログラムストリーム 1 の見かけ上のパイプライン段数は N/M 、プログラムストリーム 1 の見かけ上の動作周波数は F/M 、プロセッサのパイプライン段数は N 、パイ
5 プラインの周期は T 、プロセッサの動作周波数は $F = 1/T$ である。

このように、本実施例によれば、第 1 実施例のように M 個のプログラムストリームを時分割に実行する代わりに、1 つのプログラムストリーム 1 のみを実行し、残りの $M - 1$ 個のプログラムストリームに割り当てられたサイクルは命令を実行せず、且つ、1 命令を Q ($Q \leq M$) 並列の命令に拡張して残りの $M - 1$ サイ
10 クルではこの Q 並列の命令を選択的に実行する。これにより、時分割に Q サイクルを連続実行することで、命令単位に局所的に高速実行を行うことができる。

図 1 0 は、並列命令の動作状況を説明する図である。同図からもわかるように、1 つのプログラムストリーム 1 内に並列実行できる命令を埋め込んでおき実行することで、並列度が 1 の場合は動作周波数 F/M のプロセッサとして動作するが、
15 命令レベルで並列度が生かせる場合には、最大 M 並列実行が可能となり、局所的に M 倍の性能でプロセッサを動作させることができる。

又、命令単位の命令並列度情報を命令展開部 2 1 からクロック制御部 2 4 に供給し、クロック制御部 2 4 からパイプライン $P_1 \sim P_N$ に供給されるクロックのうち、並列度が生かせないサイクルのクロックをマスクすることで、省電力化も
20 可能となる。図 1 1 は、並列命令動作時のクロック制御状況を説明する図である。

又、次に説明する第 3 実施例のように、上記第 1 及び第 2 の実施例を組み合わせて、複数のプログラムストリームを並列実行しつつ、個々のプログラムストリームで並列命令実行を行うこともできる。

図 1 2 は、本発明になるプロセッサーアーキテクチャの第 3 実施例を示す図である。同図に示すプロセッサは、プログラムカウンタ $11-1 \sim 11-M$ 、命令展開部 3 1、セレクタ 3 2、プログラムストリーム選択部 3 3 及びクロック制御部 3 4 からなる。説明の便宜上、図 1 2 は、個々のプログラムストリームで並列命令実行を行う場合、3 並列命令を実行するものとする。

プログラムストリーム選択部 3 3 は、 M 個のプログラムストリーム 1 ~ M の起

動、展開、切替を動的に制御する機能を有する。各プログラムストリーム1～Mの起動時には、プログラムストリーム選択部33は、プログラムカウンタ11-1～11-Mにプログラム制御信号に応答して初期値をロードさせる。

各プログラムストリーム1～Mの展開時には、命令展開部31は、各プログラムストリーム1～Mの1命令をQ並列の命令に拡張して、セレクタ32に供給する。又、プログラムストリーム選択部33は、セレクタ32に命令展開部31からのQ並列の命令を順次選択してパイプラインP1～PNに供給させるように、セレクタ32に制御信号を供給する。更に、プログラムストリーム選択部33は、クロック制御部34に対して制御を行い、命令展開部321からの命令並列度情報に基づいてパイプラインP1～PNに供給するクロックのマスクをセットする。

各プログラムストリーム1～Mの切替時には、プログラムストリーム選択部33は、プログラムカウンタ11-1～11-Mにプログラム制御信号に応答して新たな値をロードさせると共に、クロック制御部34に対して制御を行い、命令展開部31からの命令並列度情報に基づいてパイプラインP1～PNに供給するクロックのマスクを解除させる。

プログラムストリーム選択部33によるこのような制御は、各プログラムストリーム1～Mに対して行われる。この場合、プログラムストリーム数はM、各プログラムストリーム1～Mの見かけ上のパイプライン段数はN/M、各プログラムストリーム1～Mの見かけ上の動作周波数はF/M、プロセッサのパイプライン段数はN、パイプラインの周期はT、プロセッサの動作周波数はF=1/Tである。

このように、本実施例によれば、上記第1及び第2の実施例を組み合わせることにより、複数のプログラムストリームを並列実行しつつ、個々のプログラムストリームで並列命令実行を行うことができる。これにより、各プログラムストリームについて、命令単位に局所的に高速実行を行うことができる。

図13は、本発明になるプロセッサーアーキテクチャの第4実施例を示す図である。同図中、図3と同一部分には同一符号を付し、その説明は省略する。又、プログラムカウンタの図示は省略する。

本実施例では、説明の便宜上、 $M = 4$ 、即ち、プログラムストリーム数が4であるものとする。又、アクセスレイテンシがLサイクル ($L \geq 1$)、動作周波数がFであり、パイプライン的な連続アクセスが可能（即ち、スループットが1サイクル）である構成をもつメモリ41がプロセッサのパイプラインP1～PNに埋め込まれているものとする。又、説明便宜上、メモリ41のパイプライン段数が4、即ち、 $L = 4$ であるものとする。この場合、各プログラムストリーム1～4のパイプライン段数はN/4、各プログラムストリーム1～4の動作周波数はF/4、プロセッサのパイプライン段数はN、パイプラインの周期はT、プロセッサの動作周波数はF = 1/Tである。

従って、各プログラムストリーム1～4における見かけ上のメモリアクセスレイテンシを、 $1/M = 1/4$ に低減することができると共に、単一のメモリを複数（M個）のプロセッサで共有することができる。

図14は、本発明になるプロセッサーアーキテクチャの第4実施例を示す図である。同図中、図3と同一部分には同一符号を付し、その説明は省略する。又、プログラムカウンタの図示は省略する。

本実施例では、説明の便宜上、 $M = 4$ 、即ち、プログラムストリーム数が4であるものとする。又、アクセスレイテンシがLサイクル ($L \geq 1$)、動作周波数がF/4であり、パイプライン的な連続アクセスが可能（即ち、スループットが1サイクル）である構成をもつメモリ43-1～43-4及びセレクタ44がプロセッサのパイプラインP1～PNに埋め込まれているものとする。又、説明便宜上、各メモリ43-1～43-4のパイプライン段数は1、即ち、 $L = 1$ であるものとする。この場合、各プログラムストリーム1～4の見かけ上のパイプライン段数はN/4、各プログラムストリーム1～4の見かけ上の動作周波数はF/4、プロセッサのパイプライン段数はN、パイプラインの周期はT、プロセッサの動作周波数はF = 1/Tである。

従って、各プログラムストリーム1～4における見かけ上のメモリアクセスレイテンシを、 F/M に低減することができる。このため、各メモリ43-1～43-4の動作周波数を $1/M = 1/4$ に低減しても、上記第3実施例と比較すると、同等のアクセス性能を維持しつつ、省電力化を実現できる。

図15は、本発明になるプロセッサーアーキテクチャの第5実施例を示す図である。同図中、図3及び図9と同一部分には同一符号を付し、その説明は省略する。

本実施例では、命令投入制御部51が設けられている。この命令投入制御部51は、1個のプログラムストリームを実行する際に、命令をS ($S \geq 1$) サイクル毎に投入するように制御を行う。ここで、Sは可変であり、レジスタ(図示せず)設定等により設定されて命令投入制御部51に入力される。これにより、プログラムの要求性能に合わせて、プロセッサの性能を $1/S$ に設定することができる。

この場合、プログラムストリーム数は1、プログラムストリームの見かけ上のパイプライン段数は N/S 、プログラムストリームの見かけ上の動作周波数は F/S 、プロセッサのパイプライン段数はN、パイプラインの周期はT、プロセッサの動作周波数は $F = 1/T$ である。

図16は、プログラムストリームをSサイクル毎に動作させた場合のクロック制御状況を説明する図である。この場合、プロセッサの動作周期は $S \times T$ であり、命令レイテンシはSサイクルである。命令を投入しない($S - 1$)サイクルに対しては、命令投入制御部51によりクロック制御部14を制御して、そのサイクルの動作に本来必要であるクロックをマスクすることで動作周波数を下げることができるので、図16からもわかるように、省電力化が実現できる。つまり、要求性能に合わせて消費電力を制御することができる。

図17は、本発明になるプロセッサーアーキテクチャの第7実施例の要部を示す図である。同図中、図15と同一部分には同一符号を付し、その説明は省略する。図17では、便宜上パイプラインP1～PNのステージPi ($i = 2 \sim N - 1$)の構成のみを示すが、他のパイプラインステージも同様の構成を有する。

図17において、パイプラインステージPiは、論理回路61、62、記憶素子63、セレクタ64及びバイパス65を有する。前段のパイプラインステージPi-1からの入力データは、論理回路61を介して、一方では記憶素子63を介して、他方ではバイパス65を介して、セレクタ64に供給される。セレクタ64は、バイパス制御信号に応答して、記憶素子63又はバイパス65からのデータを論理回路62に供給し、論理回路62の出力は次段のパイプラインス

テージ $P_i + 1$ に出力される。

つまり、各パイプラインステージは、入力データを記憶保持するモードと、入力データをバイパスして出力する、2つの動作モードを備える。バイパスモードでは、記憶素子 63 を動作させないため、クロック制御部 14（図示せず）によりクロックをマスクする。

命令を S サイクル ($S \geq 1$) 毎に投入するような制御を行う場合、 N 段あるパイプラインステージ $P_1 \sim P_N$ のうち、入力データを保持せずにバイパスして出力しても動作が変わらないパイプラインステージ、即ち、前段のパイプラインステージと結合できるパイプラインステージが存在する。このようなパイプラインステージの記憶素子 63 の動作モードをバイパス制御信号によりバイパスモードに設定することで、記憶保持動作における消費電力を削減できる。つまり、1 又は複数のパイプラインステージにおいてバイパスモードを用いることで、実質的なパイプライン段数を減少させることができ、動作周波数を低下させた場合と等価な状態を実現できるので、省電力化を図ることができる。尚、パイプラインステージの結合は、連続しても良い。

図 18 は、2/3 のパイプラインステージがバイパスモードで動作した時のクロック制御状況を説明する図である。つまり、同図は、3 つのパイプラインステージ毎に結合した場合を示す。この場合、プロセッサの動作周期は $S \times T$ であり、命令レイテンシは S サイクルである。同図の場合、図 16 に示す第 6 実施例の場合と比較すると、プロセッサの性能を低下させることなく、更に動作周波数を低下させることができることがわかる。

上記バイパス制御信号は、図 15 に示す命令投入制御部 51 により、命令投入サイクル S の値から生成可能である。又、図 17 では、記憶素子 63 の前後に論理回路 61, 62 が設けられているが、この構成は任意に変更可能である。更に、バイパスモードを有する構成のパイプライン $P_1 \sim P_N$ は、上記各実施例にも同様にして適用可能である。

上述の如く、本発明によれば、要求性能に合わせてプログラムストリームを実行することで、消費電力を要求性能に応じて低減可能なプロセッサーアーキテクチャを実現することができる。

以上、本発明を実施例により説明したが、本発明は上記実施例に限定されるものではなく、本発明の範囲内で種々の変形及び改良が可能であることは、言うまでもない。

請求の範囲

1. 独立したM個のプログラムストリームを1命令単位に時分割で実行するプログラムカウンタと、
5 各プログラムストリームで共有化されると共に、周波数Fで動作可能なN段のパイプラインと、
要求される演算性能に応じたs個のプログラムストリームのみを実行する機構とを備え、
M, Nは夫々互いに依存関係がない1以上の整数であり、sはs≤Mを満足する0以上の整数であり、
10 各プログラムストリームから見た該パイplineの見かけ上の段数をN/Mとして、見かけ上動作周波数F/MのプロセッサをM個並列構成する、プロセッサアーキテクチャ。
2. 各プログラムストリームの起動、停止及び切替を動的に実行する機構を更
15 に備えた、請求の範囲第1項記載のプロセッサアーキテクチャ。
3. 前記機構は、前記パイplineの各段に供給するクロックを、実行不要な
(M-s)個のプログラムストリームに割り当てられたサイクルにおいてマスク
するクロック制御部を含む、請求の範囲第1項又は第2項記載のプロセッサアーキテクチャ。
20 4. 独立したM個のプログラムストリームを1命令単位に時分割で実行するプログラムカウンタと、
各プログラムストリームで共有化されると共に、周波数Fで動作可能なN段のパイplineと、
1つの命令をQ個の並列命令に展開する命令展開部と、
25 要求される演算性能に応じてMサイクル毎に1個のプログラムストリームを実
行し、残りの(M-1)サイクルではQ個の並列命令を選択的に実行する機構と
を備え、
M, Nは夫々互いに依存関係がない1以上の整数であり、QはQ≤Mを満足す
る1以上の整数であり、

各プログラムストリームから見た該パイプラインの見かけ上の段数をN/Mとして、見かけ上動作周波数F/MのプロセッサをM個並列構成する、プロセッサーアーキテクチャ。

5. 各プログラムストリームの起動、停止及び切替を動的に実行する機構を更に備えた、請求の範囲第4項記載のプロセッサーアーキテクチャ。

6. sはs≤Mを満足する0以上の整数とすると、前記機構は、前記パイプラインの各段に供給するクロックを、実行不要な(M-s)個のプログラムストリームに割り当てられたサイクルにおいてマスクするクロック制御部を含む、請求の範囲第4項又は第5項記載のプロセッサーアーキテクチャ。

10 7. sはs≤Mを満足する0以上の整数とすると、前記機構は、前記パイプラインの各段に供給するクロックを、実行不要な(M-s)個のプログラムストリームに割り当てられたサイクルにおいて前記Q個の並列命令を連続実行して局所的に命令の高速実行を行う、請求の範囲第4項～第6項のいずれか1項記載のプロセッサーアーキテクチャ。

15 8. 前記パイプラインの各パイプラインステージは、入力データを記憶保持するモードと、入力データをバイパスして出力するモードとを有する記憶素子を含む、請求の範囲第1項～第7項のいずれか1項記載のプロセッサーアーキテクチャ。

9. 周波数Fで動作可能なN段のパイプラインと、

1個のプログラムストリームを実行する際に、要求される演算性能に応じて命令をSサイクル毎に投入すると共に、命令が投入されない残りのサイクルでは該パイプラインに供給されるクロックをマスクする機構とを備え、

N, Sは互いに依存関係がない1以上の整数であり、

各プログラムストリームから見た該パイプラインの見かけ上の段数をN/Sとして、見かけ上動作周波数F/Sのプロセッサを構成する、プロセッサーアーキテクチャ。

10. 前記パイプラインの各パイプラインステージは、入力データを記憶保持するモードと、入力データをバイパスして出力するモードとを有する記憶素子を含み、前記機構は、前段のパイプラインステージと結合できるパイプラインステージ内の記憶素子へのクロックの供給をマスクする、請求の範囲第9項記載の

プロセッサーアーキテクチャ。

11. 前記パイプラインは、アクセスレイテンシがLサイクルであり、動作周波数がFであると共に、パイプライン的な連続アクセスが可能なメモリを含み、1つのプログラムストリームにおけるメモリアクセスレイテンシがL/Mであり、
5 L ≥ 1 である、請求の範囲第1項～第10項のいずれか1項記載のプロセッサーアーキテクチャ。
12. 前記パイプラインは、アクセスレイテンシがLサイクルであり、パイプライン的な連続アクセスが可能なメモリを、各プログラムストリームに対して独立してM個含み、L ≥ 1 である、請求の範囲第1項～第10項のいずれか1項記
10 載のプロセッサーアーキテクチャ。

FIG. 1

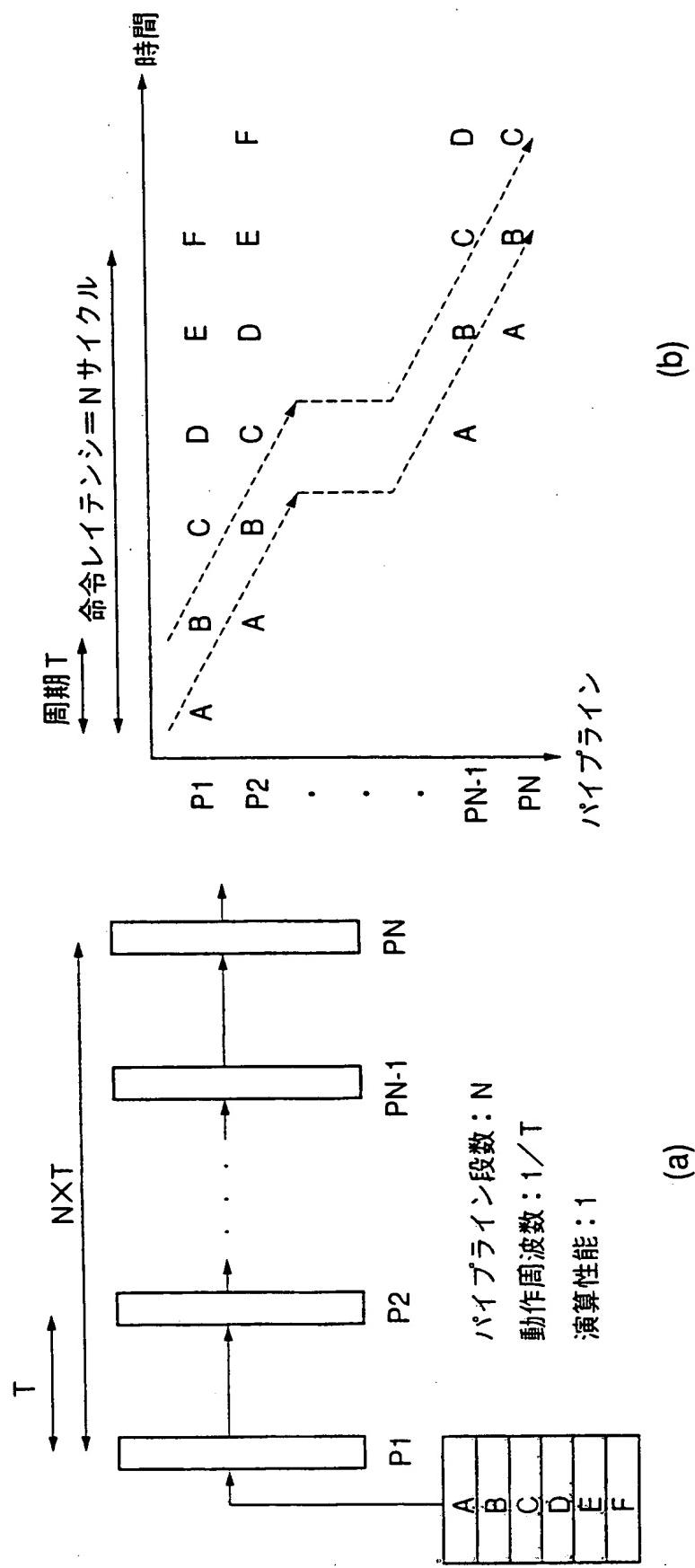


FIG. 2

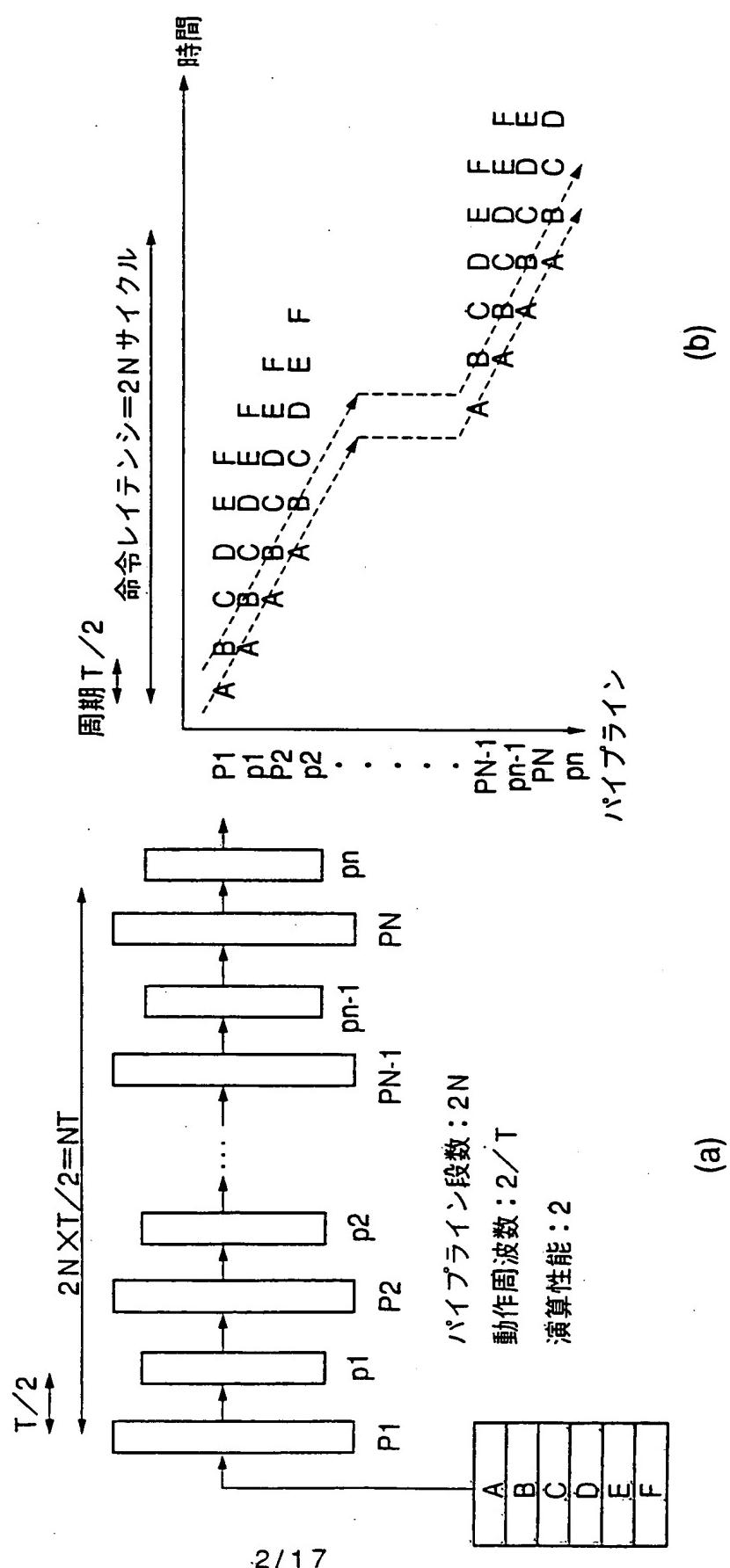
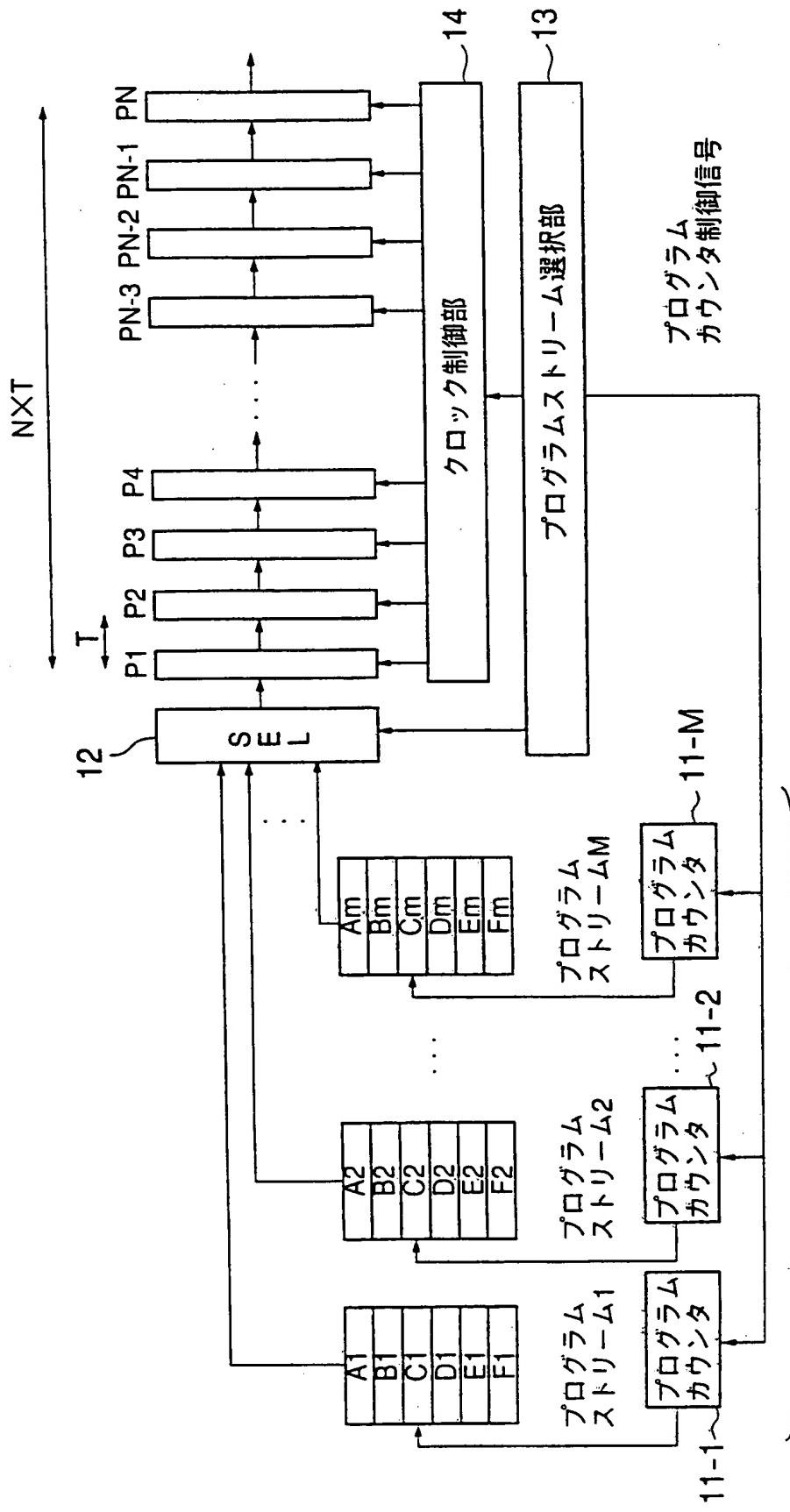


FIG. 3

プロセッサのバイブライン段数：N
プロセッサの動作周波数：F=1/T



プログラムストリーム数：M個
各プログラムストリームのバイブライン段数：N/M
各プログラムストリームの動作周波数：F/M

FIG. 4

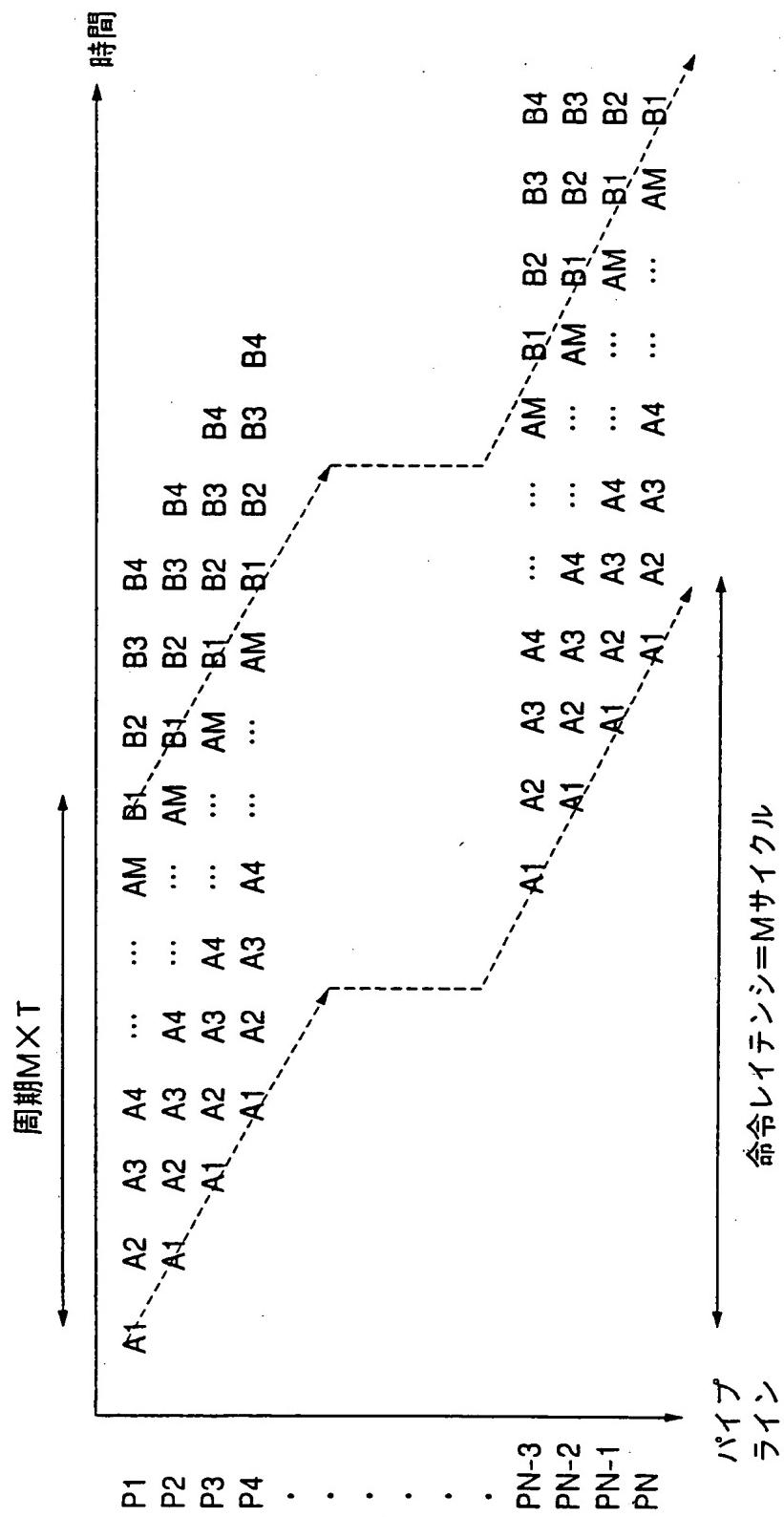


FIG. 5

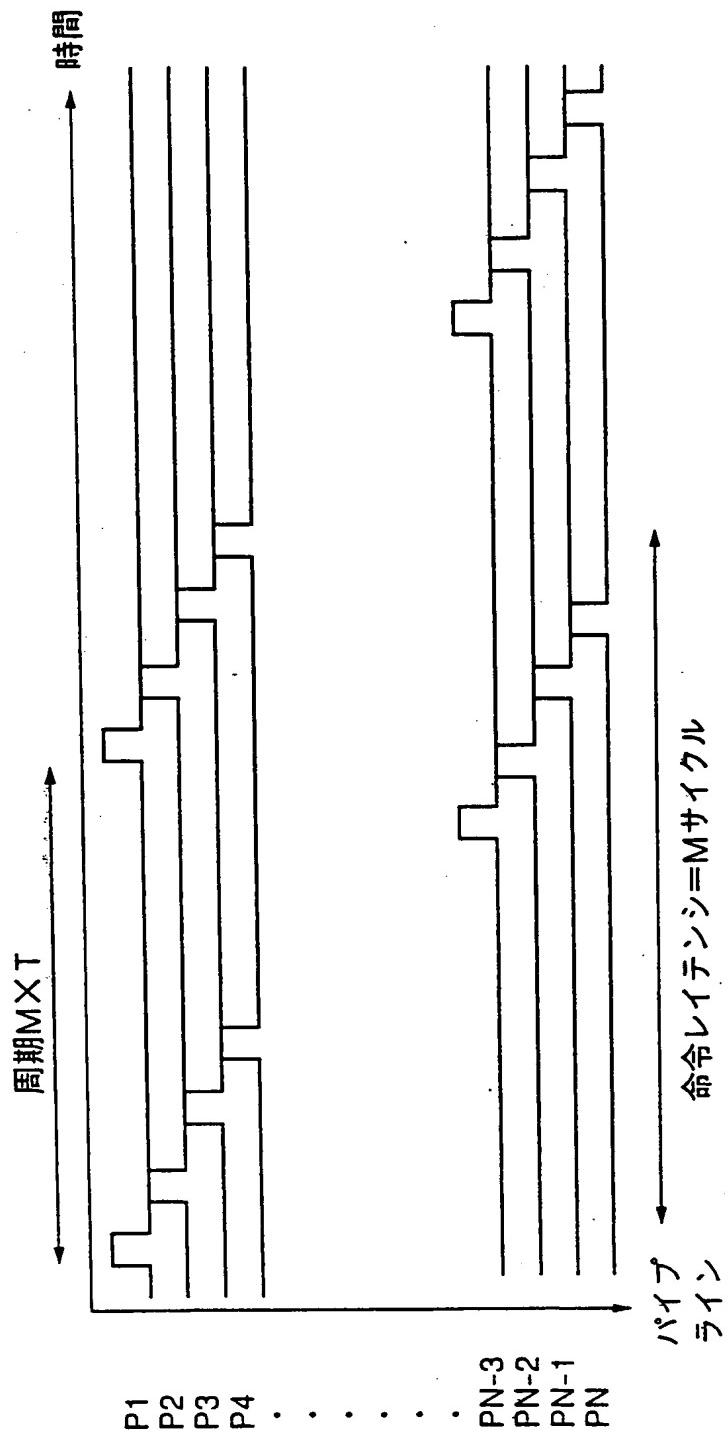


FIG. 6

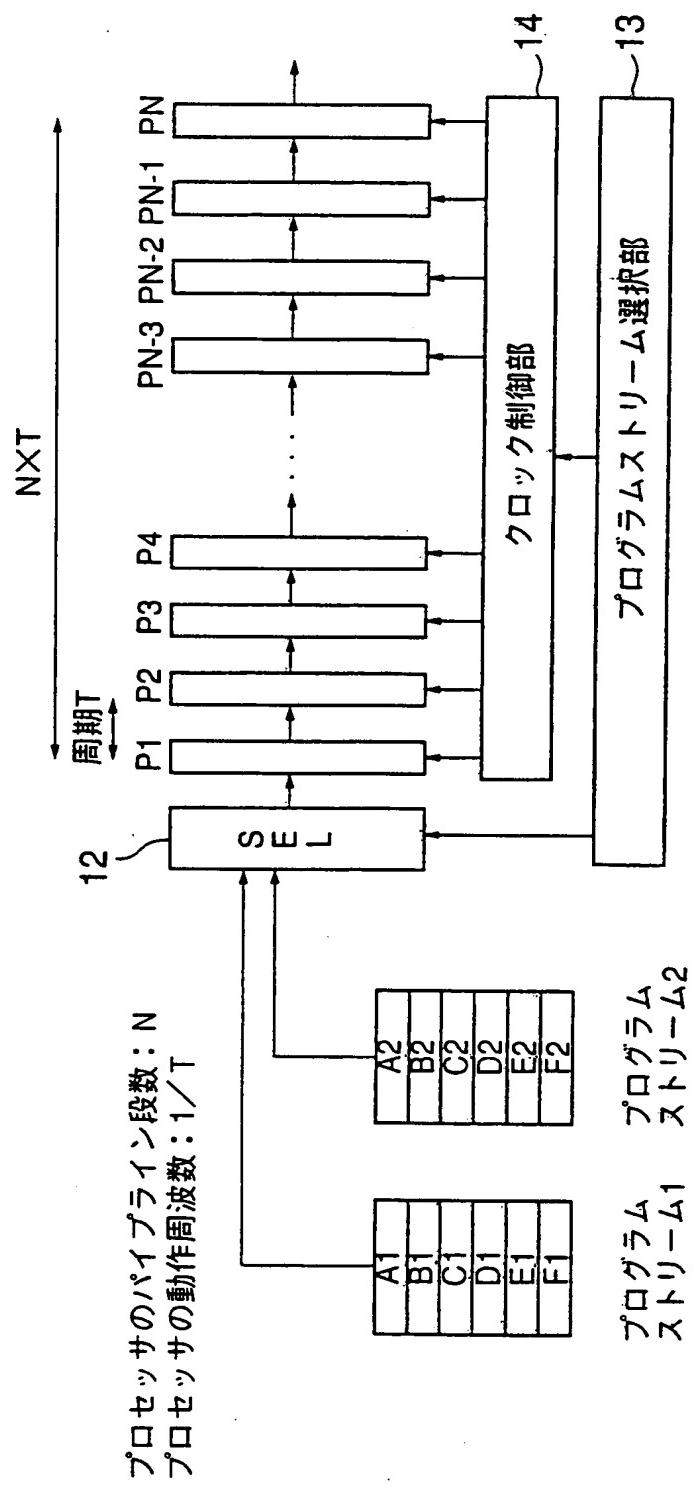


FIG. 7

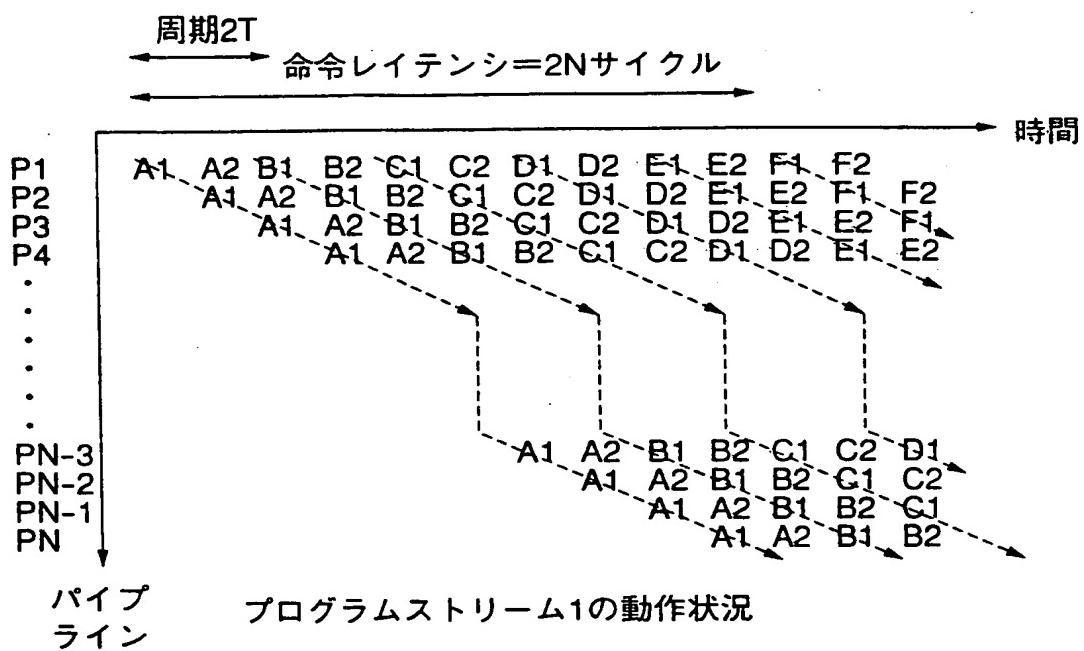


FIG. 8

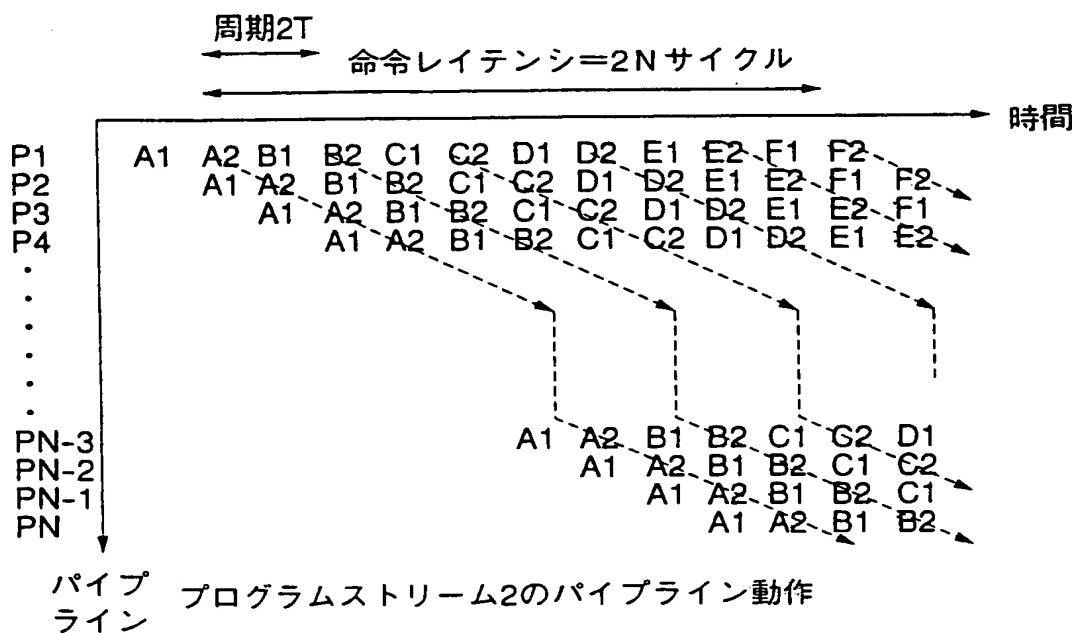


FIG. 9

プロセッサのバイブライン段数：N
プロセッサの動作周波数： $F = 1/T$

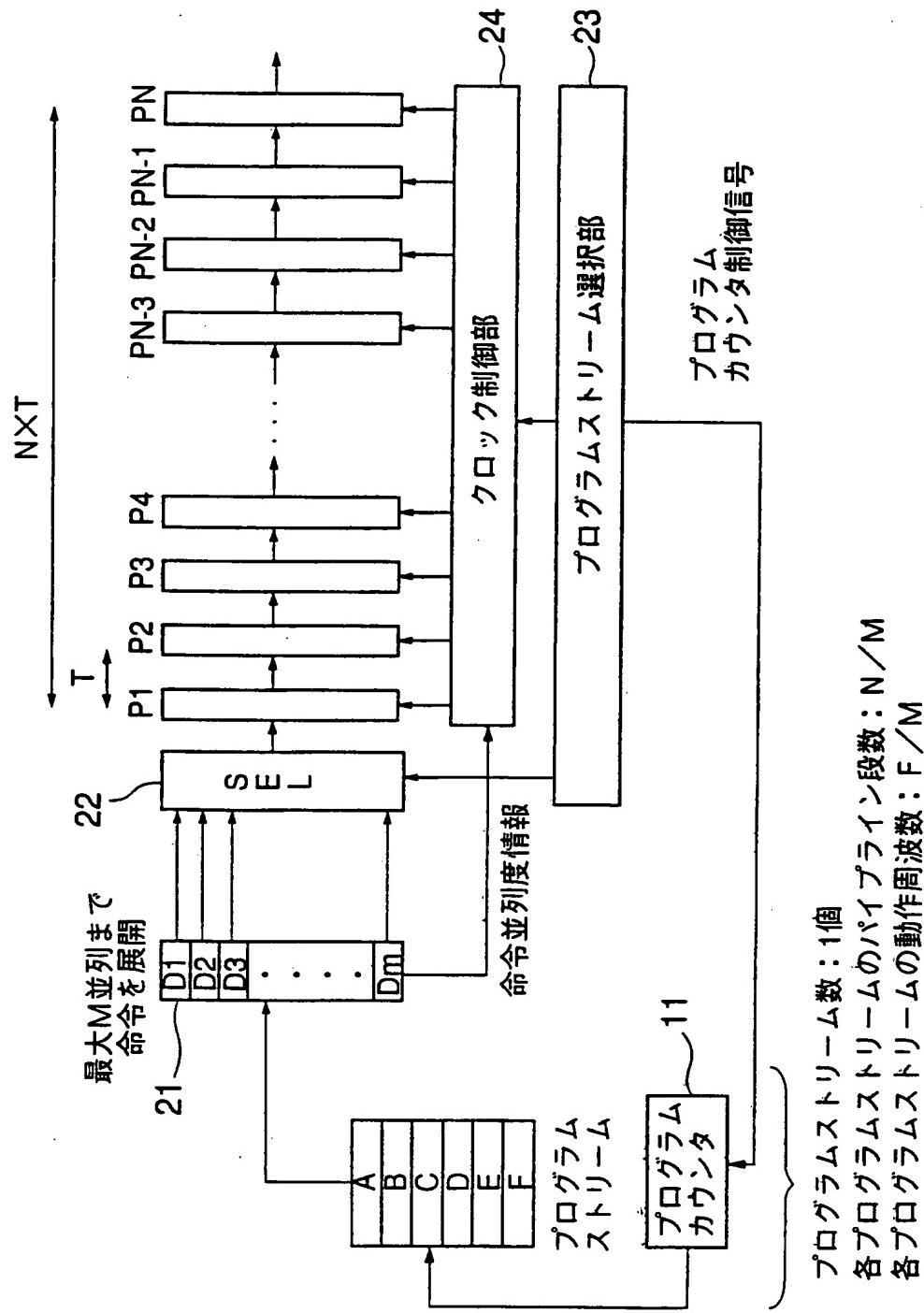


FIG. 10

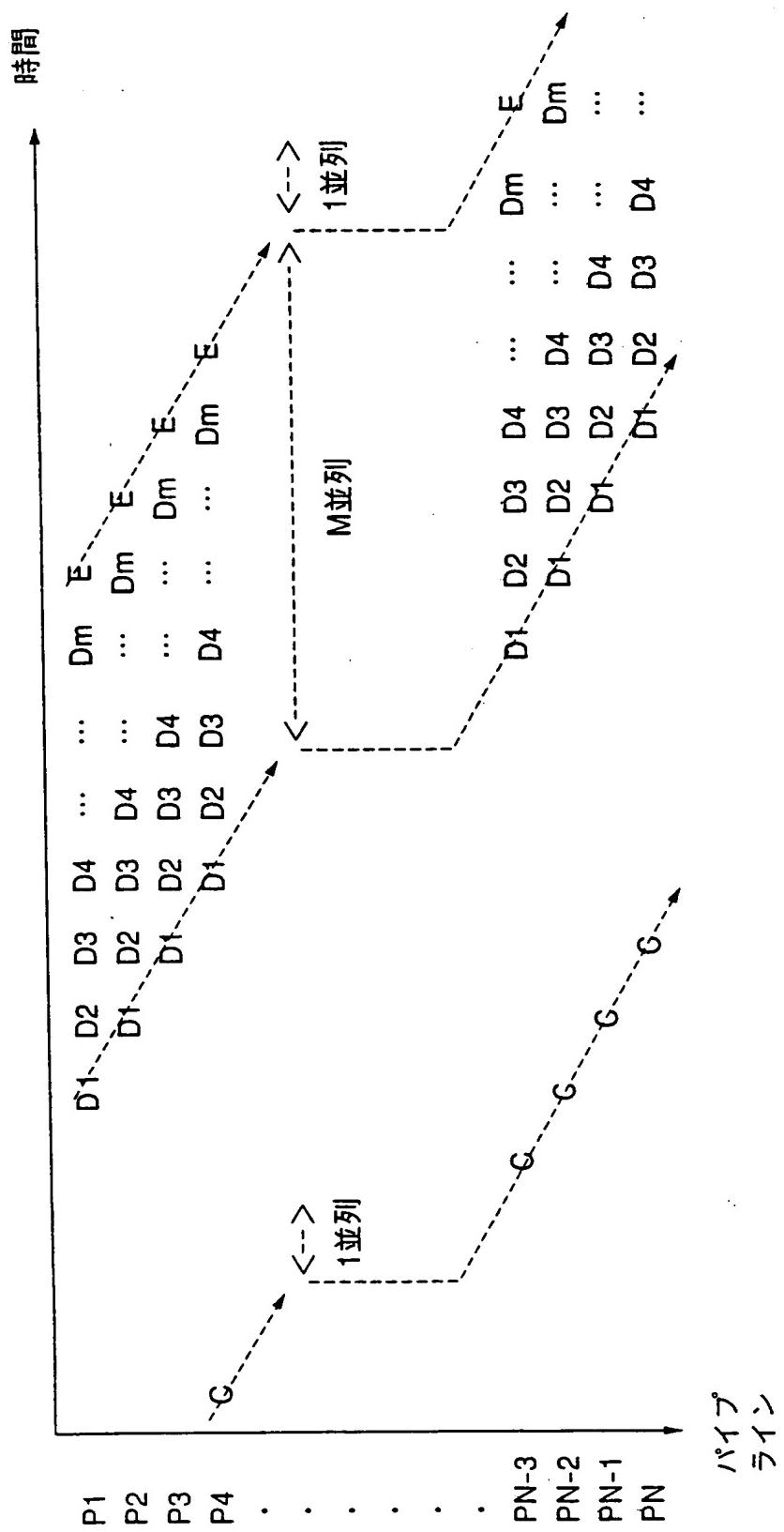


FIG. 11

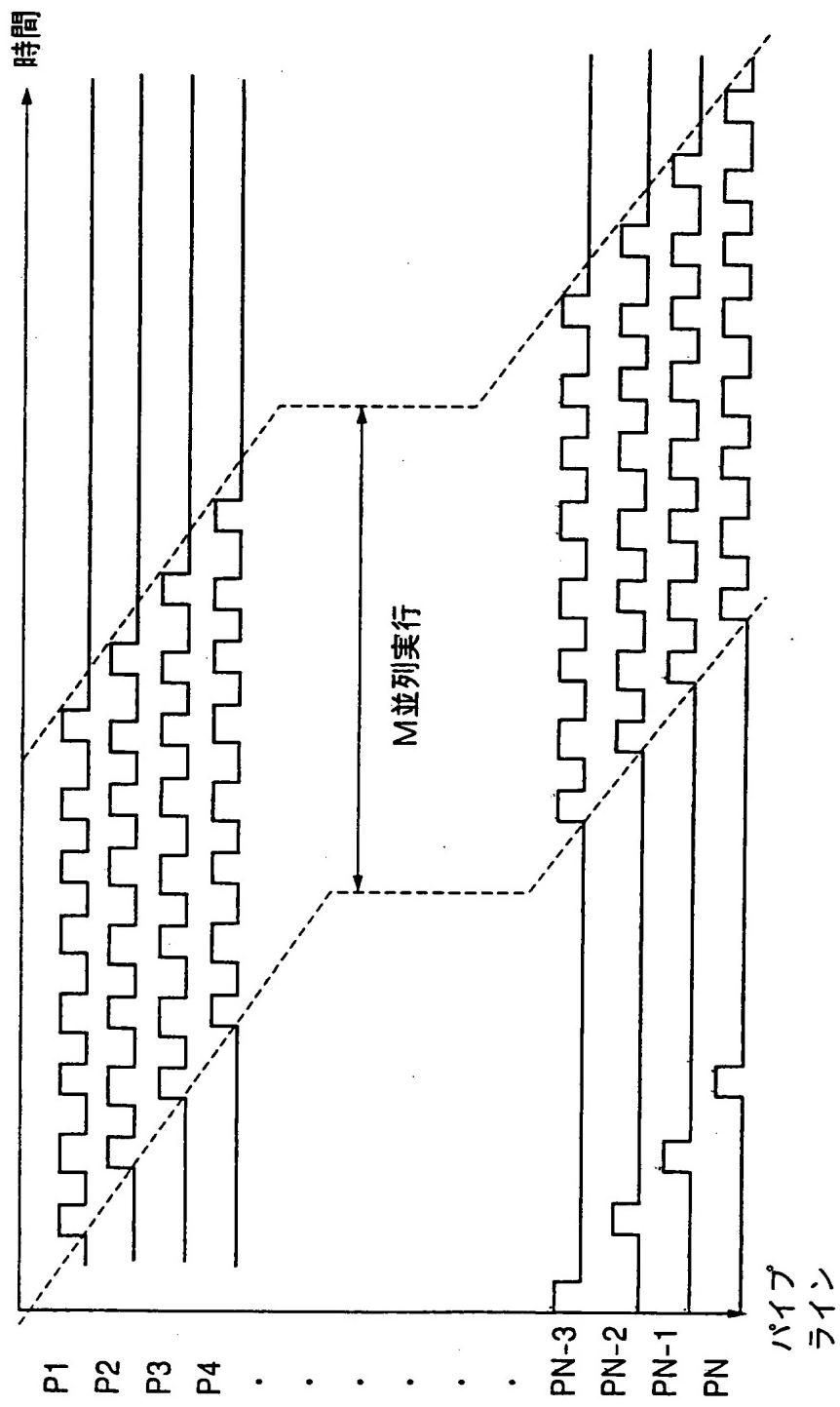


FIG. 12

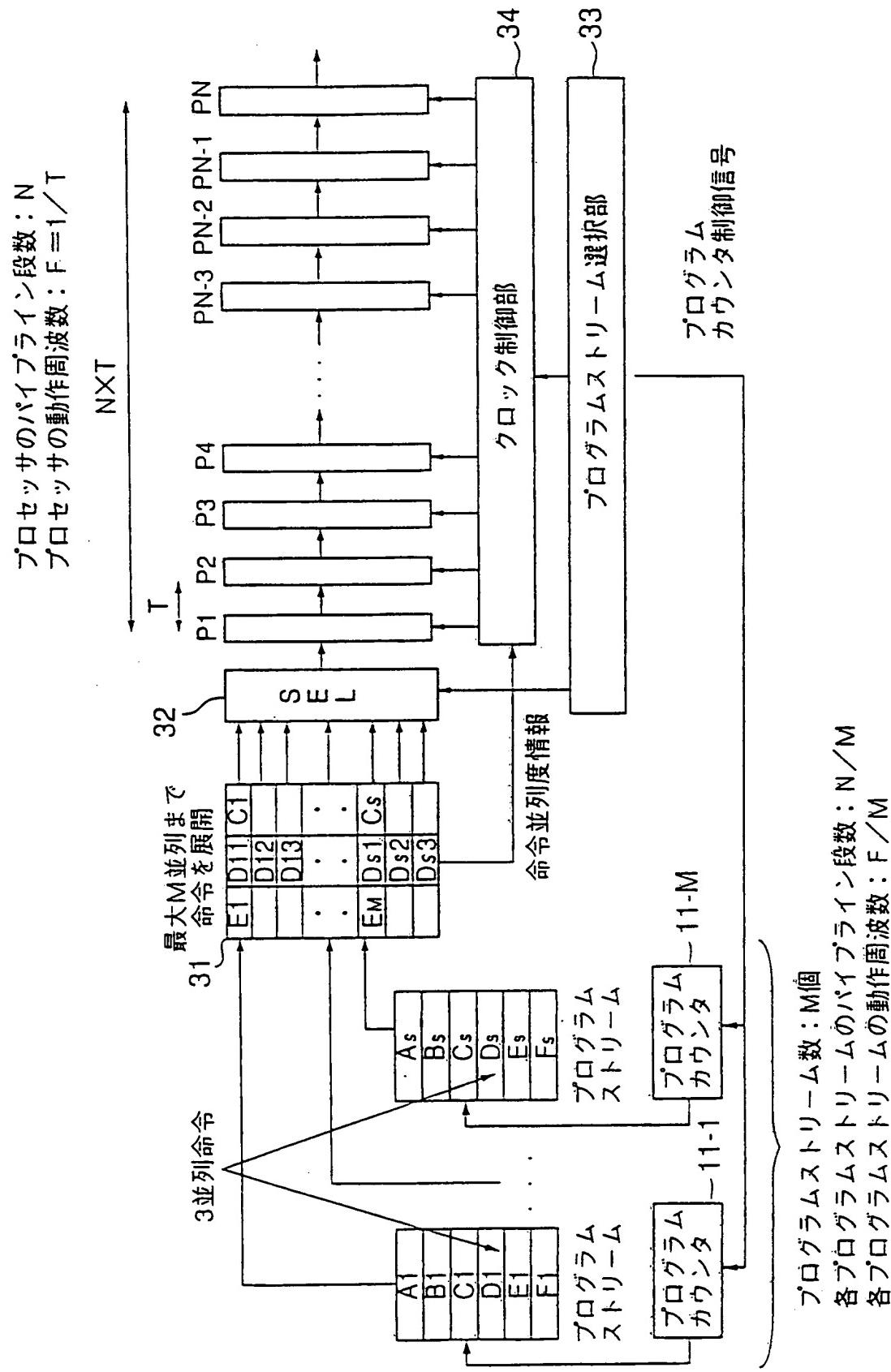


FIG. 13

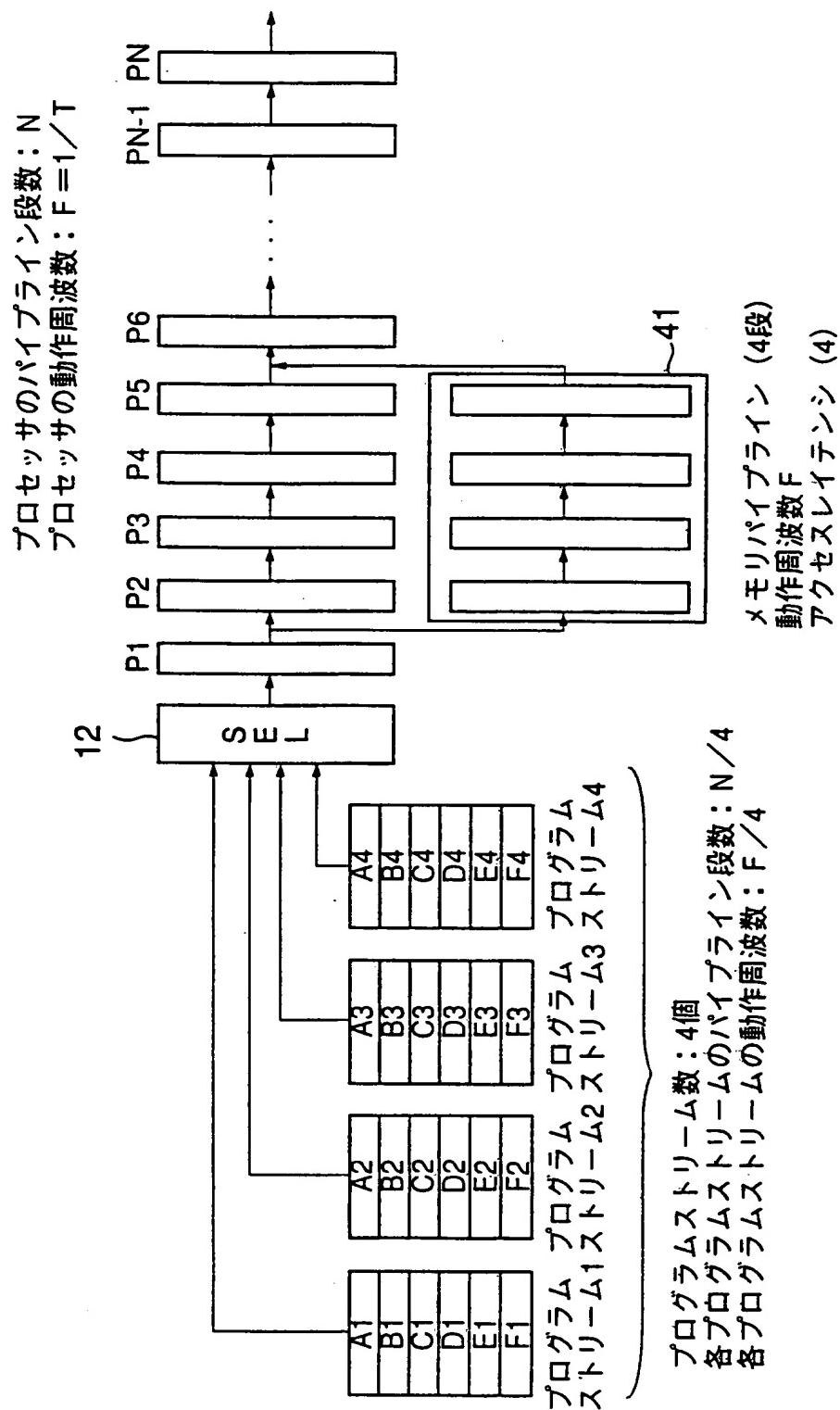


FIG. 14

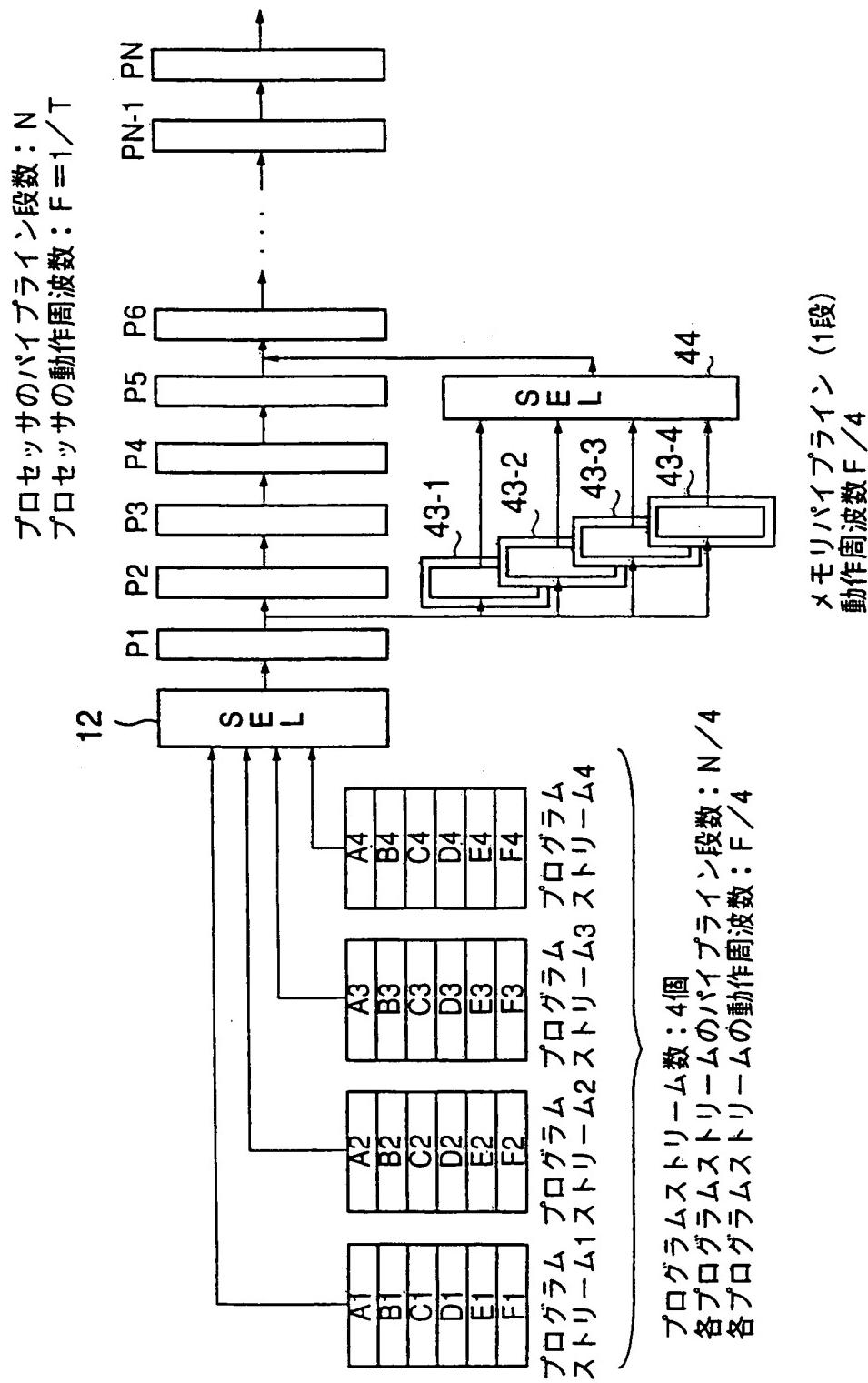


FIG. 15

プロセッサのバイナリライン段数: N
プロセッサの動作周波数: $F = 1/T$

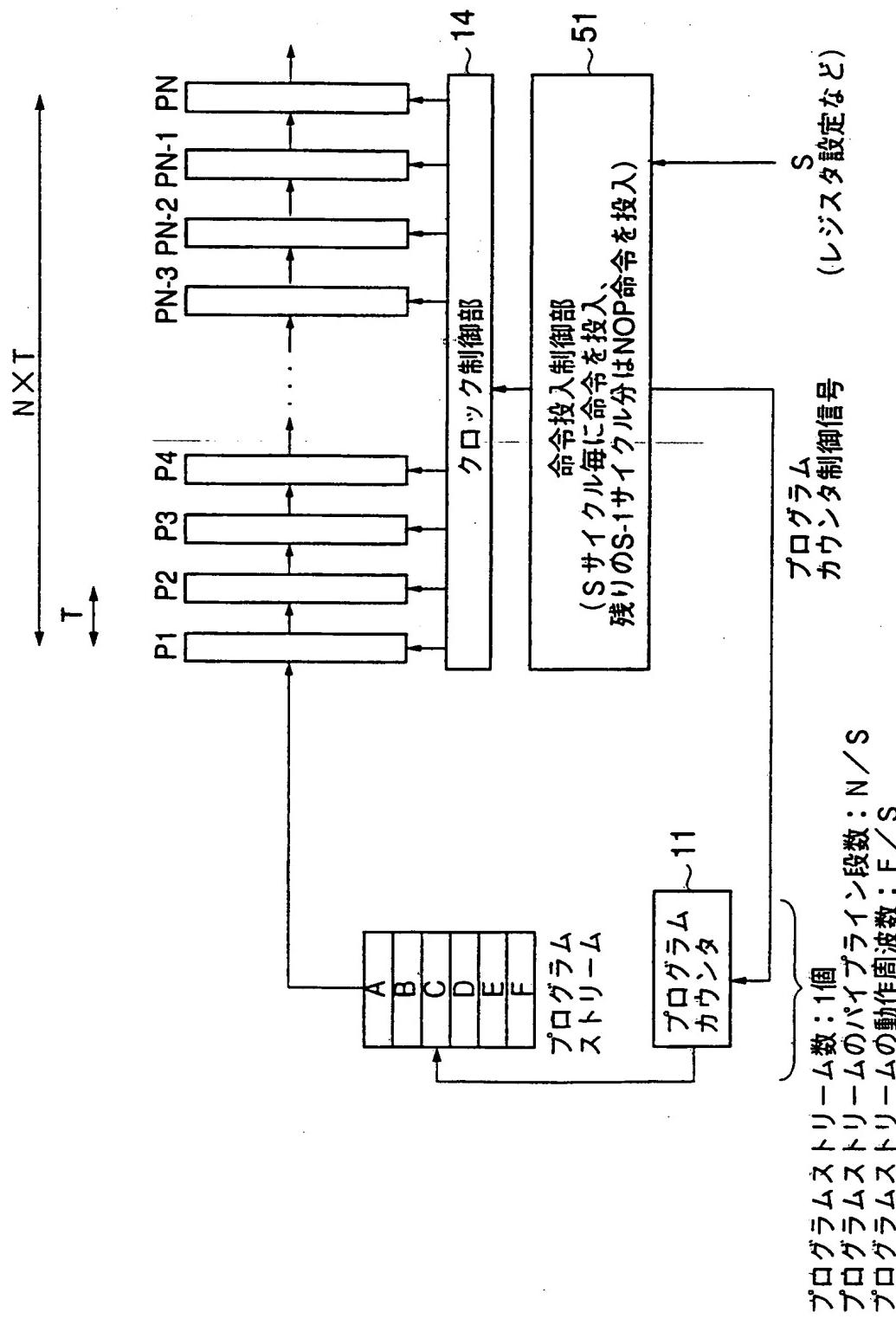


FIG. 16

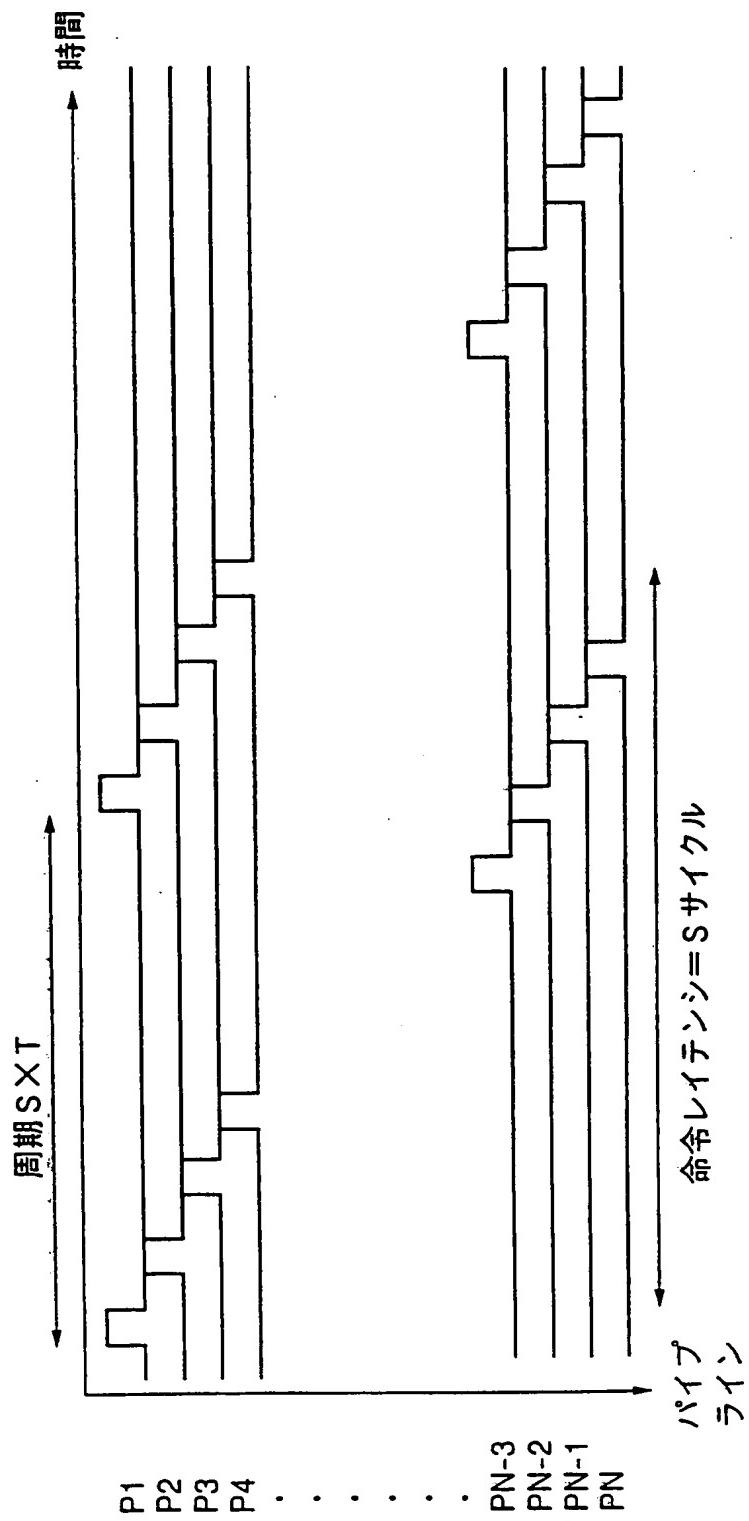


FIG. 17

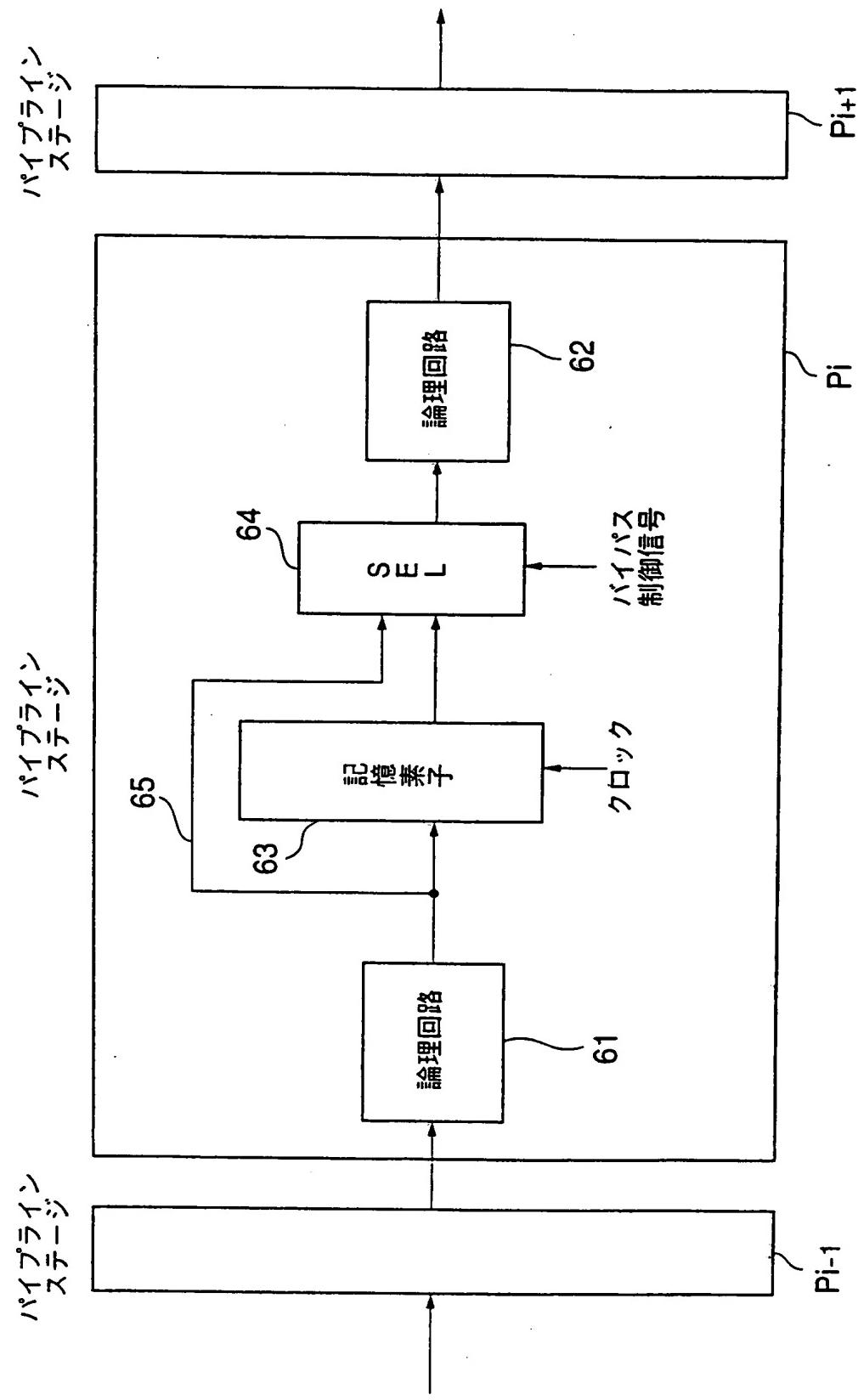
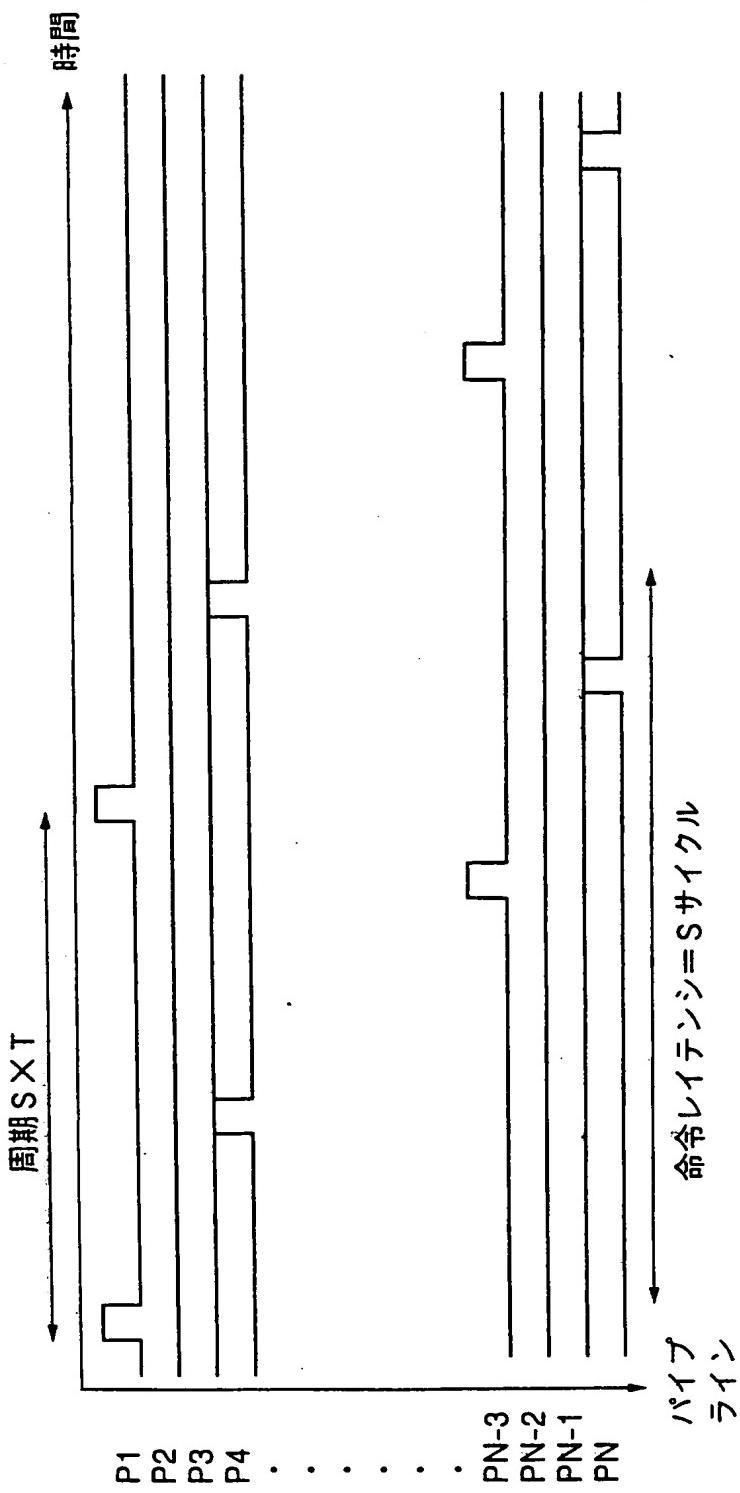


FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06030

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G06F9/46, 9/38, 15/16, 1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G06F9/46, 9/38, 15/16, 1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST FILE (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP, 613085, A (NIPPONDENSO CO., LTD.), 25 February, 1994 (25.02.94), Full text; Figs. 1 to 4 & JP, 6-250856, A	1-3, 8-12
Y	JP, 7-105001, A (Mitsubishi Electric Corporation), 21 April, 1995 (21.04.95), Full text; Figs. 1 to 6 (Family: none)	3, 9, 10
Y	US, 5771376, A (Nippondenso Co., Ltd.), 23 June, 1998 (23.06.98), Full text; Figs. 1 to 4 & JP, 9-101889, A	3, 9, 10
Y	JP, 8-147163, A (TOSHIBA CORPORATION), 07 June, 1996 (07.06.96), Full text; Figs. 1 to 4 (Family: none)	8, 10
Y	JP, 3-263130, A (Mitsubishi Electric Corporation), 22 November, 1991 (22.11.91), Full text; Figs. 1 to 5 (Family: none)	8, 10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 November, 1999 (15.11.99)Date of mailing of the international search report
30 November, 1999 (30.11.99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06030

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 4-86920, A (Matsushita Electric Industrial Co., Ltd.), 19 March, 1992 (19.03.92), Full text; Figs. 1 to 9 (Family: none)	1-3,8-12
Y	JP, 1-123330, A (Mitsubishi Electric Corporation), 16 May, 1989 (16.05.89), Fig. 4	1-3,8-12
Y	JP, 63-147255 (Thomson CSF) 20 June, 1988 (20.06.88) page 2, lower right column to page 3, upper left column, line 9; page 3, lower left column, line 17 to page 4, upper left column, line 12; page 5, lower left column, line 2 to page 5, lower right column, line 16; page 7, lower left column, line 13 to page 7, lower right column, line 8; Figs. 1-11 & EP, 291613, A	1-3,8-12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06030

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: 4-7
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

The description, claims, and drawings in conjunction with the structure that "one instruction is developed into Q parallel instructions" are so unclear that no international search can be made.

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号 PCT/JP99/06030

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C16 G06F9/46, 9/38, 15/16, 1/04

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C16 G06F9/46, 9/38, 15/16, 1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
 JICSTファイル（JOIS）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	E P, 6 1 3 0 8 5, A (NIPPONDENSO CO., LTD.) 25. 02月. 1994 (25. 02. 94) 全文, 第1-4図 & J P, 6-250856, A	1-3, 8-12
Y	J P, 7-105001, A (三菱電機株式会社) 21. 04月. 1995 (21. 04. 95) 全文, 第1-6図 (ファミリーなし)	3, 9, 10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15. 11. 99

国際調査報告の発送日

30.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久保 光宏

5B

9189



電話番号 03-3581-1101 内線 3546

C(続き) .	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	U.S. 5 7 7 1 3 7 6, A (Nippon denso Co., Ltd.) 23. 06月. 1998 (23. 06. 98) 全文, 第1-4図 & JP, 9-101889, A	3, 9, 10
Y	JP, 8-147163, A (株式会社東芝) 07. 06月. 1996 (07. 06. 96)) 全文, 第1-4図 (ファミリーなし)	8, 10
Y	JP, 3-263130, A (三菱電機株式会社) 22. 11月. 1991 (22. 11. 91) 全文, 第1-5図 (ファミリーなし)	8, 10
Y	JP, 4-86920, A (松下電器産業株式会社) 19. 03月. 1992 (19. 03. 92) 全文, 第1-9図 (ファミリーなし)	1-3, 8-12
Y	JP, 1-123330, A (三菱電機株式会社) 16. 05月. 1989 (16. 05. 89) 第4図	1-3, 8-12
Y	JP, 63-147255 (トムソンーセーエスエフ) 20. 06月. 1988 (20. 06. 88) 第2頁右下欄～第3頁左上欄第9行、第3頁左下欄第17行～第4 頁左上欄第12行、第5頁左下欄第2行～第5頁右下欄第16行、 第7頁左下欄第13行～第7頁右下欄第8行。 第1-11図 & EP, 291613, A	1-3, 8-12

第I欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 4-7 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、「1つの命令をQ個の並列命令に展開する」という構成に係る明細書、請求の範囲、図面の記載は、著しく不明確であるため有効な国際調査をすることができないものである。
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。